

[0001]

[Field of the Invention] The present invention relates to a Z buffer hidden surface removal device which performs hidden surface removal by use of depth information of a rendered object in a three dimensional or two dimensional graphic display device.

[0036] The Z calculation circuit 16 divides the Zd data 30 inputted from the Z buffer section 14 into a high order and a low order and the Zs data 26 inputted from the input/output section 15 into a high order and a low order. Then, calculation of comparing the two kinds of high order data (ZdH-ZsH) and calculation of comparing the two kinds of low order data (ZdL-ZsL) are performed simultaneously (step S14). If the result of comparison of the two kinds of high order data meets a condition "ZsH is smaller than ZdH" which is determined by the Z calculation circuit control signal 28 inputted from the input/output section 15 (step S15), 1 is outputted as the high-order double speed comparison result 34 (step S16). If the result of comparison of the two kinds of high order data does not meet the condition, 0 is outputted (step S17).

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-49705

(43)公開日 平成10年(1998)2月20日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T	15/40		G 0 6 F	15/72
	1/00			4 2 0
				15/66
				M

審査請求 未請求 請求項の数3 OL (全 11 頁)

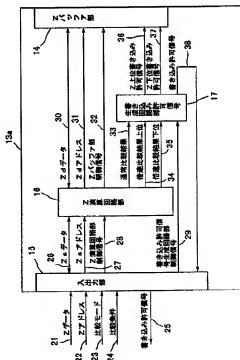
(21) 出願番号	特願平8-202008	(71) 出願人	000005049 シャープ株式会社
(22) 出願日	平成8年(1996)7月31日	(72) 発明者	橋本 剛 大阪府大阪市阿倍野区長池町22番22号 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(74) 代理人	弁理士 藤本 博光

(54) 【発明の名称】 Zパッファ方式隠面消去装置

(57) 【要約】

【課題】 少ない容量のZバッファ部によって、高画質を要求される描画と速度を要求させる描画の両方を実現できるZバッファ方式隠面消去装置を提供することにある。

【解決手段】 Z演算回路部16は、Zデータアドレス31、Zバッファ部制御信号32によりZバッファ部14を制御し、Zデータ30をZバッファ部14に書き込んだり、読み出したりする。Zバッファ部14への書き込みの許可は、書き込み許可信号生成回路部17により、Zデータの上位と下位で別々に行われる。書き込み許可信号生成回路部17は、書き込み許可信号生成回路部制御信号29に従って制御され、Z演算回路部16からの通常速比較結果33と倍速比較結果上位34と倍速比較結果下位35とを入力し、Z上位書き込み許可信号36とZ下位書き込み許可信号37をZバッファ部14に出力し、書き込み許可信号38を出力部15に出力する。



1

## 【特許請求の範囲】

【請求項1】 Z値を保存するZバッファ部と、入力されたZ値と前記Zバッファ部に保存されているZ値とを比較するZ演算部とを備え、前記Z演算部で比較したZ値の小さいほうを前記Zバッファ部に再び保存するZバッファ方式隠面消去装置において、

前記Z演算部は、Z値を一つずつ順次比較演算する通常速とZ値を複数並列に処理する高速の二つの比較モードを有することを特徴とするZバッファ方式隠面消去装置。

【請求項2】 高速比較モードの場合、前記Zバッファ部は、Z値を通常速比較モードの半分のビット幅で同一アドレスに2つのデータを保存し、前記Z演算部は、前記2つのデータを同時に読み出し並列に比較演算を行うことを特徴とする請求項1記載のZバッファ方式隠面消去装置。

【請求項3】 前記Zバッファ部は、各アドレスのZ値の保存データを上位と下位に分け、書き込みの可・不可の制御を別々に行うことを特徴とする請求項2記載のZバッファ方式隠面消去装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3次元もしくは2次元のグラフィック表示装置において、描画された物体の奥行き情報を利用して隠面消去を行うZバッファ方式隠面消去装置に関する。

【0002】

【従来の技術】コンピュータグラフィックスにおいては、3次元空間の物体を表示平面に投射することによって、3次元画像を表示する。このときに、表示平面にいる観察者からは、手前ある物体の後ろにある物体は見えない。したがって、実際に見える状況と同様の表示にするため、後方の物体の面を消去する隠面消去の処理を行う。隠面消去の方法には色々あるが、その一つとして、物体の奥行き情報であるZ値をZバッファ部に格納しておき、入力Z値と比較してZ値の小さいほうの画像データをみかフレームバッファに書き込むというZバッファ方式の隠面消去方法がある。

【0003】図9は、Zバッファ方式の隠面処理を行う従来のグラフィック表示装置のブロック図である。このグラフィック表示装置は、グラフィックエンジン11、カラーデータを記憶するフレームバッファ12、Zデータを用いて隠面処理を行うZバッファ方式隠面消去装置13b、Zバッファ方式隠面消去装置13b内においてZ値のデータ（以後、Zデータと略称する）を記憶するZバッファ部14から構成される。

【0004】フレームバッファ12は、画像内のピクセルのカラー及び輝度のデジタル信号を保持する記憶装置であり、例えばDRAMあるいはSRAMを用いる。Zバッファ部14は、フレームバッファ12内の各ピクセル毎にZデータである一つの数字を保持する記憶装置である。Zデータは、観察者と、ピクセルにてディスプレイされている対象との距離を示す。

【0005】このグラフィック表示装置の隠面消去の処理について説明する。グラフィックエンジン11は、3次元の画像データに基づき、モデリングやレンダリング等の処理を行う。その過程で、各ピクセルに対するZデータを算出する。グラフィックエンジン11は、この算出したZデータ21とZアドレス22をZバッファ方式隠面消去装置13bに出力し、Zバッファ部14に格納させ表示平面上で同一部分を占めるピクセルのZデータを、Zバッファ部14に格納されているZデータと比較する。Zデータの小さい方をZバッファ部14に格納するとともに、フレームバッファ12にそのZデータに対応するピクセルの輝度及びカラーデータ46を書き込む指示を与える書き込み許可信号25を送出する。

【0006】図10は、Zバッファ方式隠面消去装置のブロック図である。このZバッファ方式隠面消去装置13bは、入出力部15と、Z演算回路部51と、Zバッファ部14と、書き込み許可信号生成回路部52とを備える。

【0007】入出力部15は、Zデータ21、Zアドレス22、比較モード23、比較条件24が入力され、Zsデータ26、Zsアドレス27、Z演算回路部制御信号28をZ演算回路部51に、また書き込み許可信号生成回路部制御信号29を書き込み許可信号生成回路部52に、書き込み許可信号25を外部のフレームバッファ12に出力する。

【0008】Z演算回路部51は、Zdアドレス31、Zバッファ部制御信号32によりZバッファ部14を制御し、演算に使用するZdデータ30をZバッファ部14に書き込んだり、読み出したりする。Zバッファ部14への書き込みの許可は、Z書き込み許可信号生成回路部52により行われる。書き込み許可信号生成回路部52は、書き込み許可信号生成回路部制御信号29に従って制御され、Z演算回路部51からの比較結果53が入力される。書き込み許可信号54をZバッファ部14に

対し出力し、書き込み許可信号38を入出力部15に對し出力する。

【0009】このZバッファ方式隠面消去装置13bの動作について図11のフローチャートに基づいて説明する。まず、始めにZ演算回路部51は、新しいデータを持っているものとする。入出力部15は外部からデータの力があると（ステップS31）、Z演算回路制御信号28によって、Zデータ21、Zアドレス22が到着したことをZ演算回路部51に知らせる。Z演算回路部51は、Zsデータ26とZsアドレス27を取り込む（ステップS32）。

【0010】次に、Z演算回路部51はZバッファ部14に對しZdアドレス31を与え、Zバッファ部制御信号

50

号32によってZバッファ部14に出力要求を行う。Zバッファ部14は、Zバッファ部制御信号32に従いZdアドレス31の位置に保存されているZdデータ30を出力する(ステップS33)。Z演算回路部51は、Zバッファ部14から入力されたZdデータ30と、入力部15から入力されたZsデータ26とを比較する(ステップS34)。

【0011】入力部15から入力されたZ演算回路部制御信号28によって決定される条件「ZdよりZsの方が小さい」に上記比較の結果が合致した場合(ステップS35)、Z演算回路部51は比較結果53を書き込み許可信号生成回路部52に出力し、書き込み許可生成回路部52はZ書き込み許可信号54として1を出力する(ステップS36)。Z演算回路部51は、Zバッファ部14に対しZdデータ30とZdアドレス31を出力し、Zバッファ部制御信号32によって書き込み要求を行う。Zバッファ部14は要求にしたがって、Zdアドレスに対応する位置にZsデータをZdデータとして保存する(ステップS37)。決定される条件「ZdよりZsの方が小さい」に合致しない場合は、書き込み許可生成回路部52は書き込み許可信号54として0を出力し(ステップS38)、Zバッファ部14に書き込みは行わない。再び新しいデータ待ちに入り、以上の動作を繰り返す。外部から比較モード23及び比較条件24をセットできる。

【0012】図12は、理想的な隠面消去のプロセスを示している。3つのグラフの右方向がZ軸方向であり、観察者が見ていて方向である。2つのピクセルデータの重ね合わせの結果、視点に近いピクセルのみが残っている。

【0013】図13は、通常のメモリなどに対する書き込み方法と同じ方法で書き込んだ結果を示している。通常の書き込みではデータは常に上書きされる。常に後に書いたものが残られるので正しい隠面消去は行われない。

【0014】図14は、従来のZバッファ方式による隠面消去のプロセスを示している。Zデータの大きい方は、図の斜線部のピクセルのように、Zバッファ部14にZデータを書き込みない、他のZデータを重ね書きするかのどちらかによってZバッファ部14に残らない。Zバッファ部14に保存されるZデータに対応したピクセルデータがフレームバッファ12に保存される。最終的にZバッファ部14のすべてのアドレスにおいてそのアドレスに書き込まれたZデータのうち、最も小さいものが残される。フレームバッファ12にそのZデータに対応したピクセルデータが残される。

【0015】このようにして、隠面消去は行われるが、従来のZバッファ方式隠面消去装置13bから生じるものは、各データ毎の書き込みの可・不可を意味する書き込み許可信号25と最終的にZバッファ部14内に残

たZデータである。図15及び図16は従来のZバッファ方式隠面消去装置を使用した際のフレームバッファ12及びZバッファ部14へのアクセスを表したものである。フレームバッファ12及びZバッファ部14へのアクセスはクロックに同期して行われる。

【0016】図15は、画質最優先の描画のフレームバッファ12及びZバッファ部14のアクセスを表している。画質優先の描画においては、半透明処理などが多用される。この半透明処理においては、フレームバッファ12からカラーデータ46を読み出す必要があるため、グラフィックエンジン11はフレームバッファ12に対して読み出しと書き込みを交互に繰り返している。同様に、隠面消去装置13bは、Zバッファ部14に対して読み出しと書き込みを交互に繰り返している。

【0017】図16は、速度優先の描画時のフレームバッファ12及びZバッファ部14へのアクセスを表している。画質優先時と異なり速度優先時はカラーデータ46を読み出す必要がないので、グラフィックエンジン11はフレームバッファ12に対して書き込みだけを行う。隠面消去装置13bは、Zバッファ部14に対しては読み出しと書き込みを交互に繰り返している。

【0018】

【発明が解決しようとする課題】画質優先描画時は、Zバッファ部14とフレームバッファ12へのメモリアクセスは同じなので、同一の構成のメモリを用いることができる。ところが、速度優先描画時は、Zバッファ部14の速度がフレームバッファ12の2倍必要であるので、Zバッファ部14はメモリを二つ有して、これを交互に使用することによって速度を稼ぐ方式が用いられている。しかし、この方式はどうしてもメモリが多量に必要になってしまう。したがって、半透明処理など高画質を要求される描画と、画質より速度が必要である描画の両方を、少ないZバッファ部メモリで実現できないという欠点があった。

【0019】本発明の目的は、少ない容量のZバッファ部によって、高画質を要求される描画と速度を要求させる描画の両方を実現できるZバッファ方式隠面消去装置を提供することにある。

【0020】

【課題を解決するための手段】本発明は、Z値を保存するZバッファ部と、入力されたZ値と前記Zバッファ部に保存されているZ値とを比較するZ演算部とを備え、前記Z演算部で比較したZ値の小さいほうを前記Zバッファ部に再び保存するZバッファ方式隠面消去装置である。前記Z演算部は、Z値を一つずつ順次比較演算する通常速とZ値を複数並列に処理する高速の二つの比較モードを有することを特徴とする。

【0021】また、高速比較モードの場合、前記Zバッファ部は、Z値を通常速比較モードの半分のビット幅で同一アドレスに二つのデータを保存し、前記Z演算部

は、前記2つのデータを同時に読み出して並列に比較演算を行うことを特徴とする。

【0022】さらに、前記Zバッファ部は、各アドレスの保存データを上位と下位に分け、書き込みの可・不可の制御を別々に行うことを特徴とする。

【0023】本発明によれば、速度描画時は並列処理の高速比較モードを用い、画質優先描画時は通常速比較モードを用いる。それによって、フレームバッファと同じサイズのZバッファ部で高画質を要求される描画と画質より速度が必要である描画の両方を少ないZバッファ部10で、実現することができる。特に、データ幅を半分にし、Zバッファ部に保存してあれば、アドレスに対して、一度に二つのデータが得られ、それを並列処理すれば、処理速度は2倍となる。さらに、前記Zバッファ部は、各アドレスの保存データを上位と下位に分け、書き込みの可・不可の制御を別々に行うので、それぞれの1アドレス内のデータをそれぞれ書き換えることができる。

【0024】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。図1は、本発明に係るZバッファ方式隠面消去装置の一実施形態を示すブロック図である。このZバッファ方式隠面消去装置は、図10とは同じ構成であるので、対応する部分には同一符号を付し、説明は省略する。本実施形態が、図10と異なる点は、Z演算回路部16と、書き込み許可信号生成回路部17である。

【0025】Z演算回路部16は、Zdアドレス31、Zバッファ部制御信号32によりZバッファ部14を制御し、演算に使用するZdデータ30をZバッファ部14に書き込んだり、読み出したりする。Zバッファ部14への書き込みの許可は、書き込み許可信号生成回路部17により、Zdデータの上位と下位で別々に行われる。書き込み許可信号生成回路部17は、書き込み許可信号生成回路部制御信号29に従って制御され、Z演算回路部16からの通常速比較結果33と倍速比較結果上位34と倍速比較結果下位35とを入力し、Z上位書き込み許可信号36とZ下位書き込み許可信号37をZバッファ部14に対し出力し、書き込み許可信号38を入出力部15に対し出力する。Z演算回路部16は、図2に示すように、通常速比較手段40と倍速比較手段41の両方の比較手段を有する。以下に、このZ演算回路部16の動作を中心に隠面消去装置13aの動作の概要について説明する。

【0026】図3は通常速比較モードの場合のZバッファ部14の構成を表している。図においてZ[x, y]とは、画面上のx, yの位置にあるピクセルに対応するZdデータを意味している。図において、一つ一つの四角がZバッファ部14のメモリの1要素を表し、一つのアドレスに格納されている。隠面消去装置13aは、こ

のメモリの1要素を単位として読み出し及び書き込みを行う。但し、書き込みの可・不可の制御についてはこのメモリ単位の上位と下位別々に行う。通常速比較モード時は、Zバッファ部14へのメモリアクセスはフレームバッファ12へのメモリアクセスと同じ速度である。この速度を実現するためZ演算回路部16は1回に1ピクセル分のZ比較を行う。

【0027】図4は、通常速比較モードのZバッファ部の動作概要について示している。図のように、Zバッファ部14のメモリの1要素の上位と下位で1つのZdデータを構成する。このZdデータ30を取り出し、入出力部15からのZsデータ26と比較部40で比較する。その比較結果を利用しZバッファ部14への書き込みを制御する。通常速比較モードの場合、Zバッファ部14のメモリの1要素の上位と下位で1つのZdデータ30を構成するので、図のように、書き込み許可信号生成回路部17において生成するZ上位書き込み許可信号36とZ下位書き込み許可信号37は通常速比較結果をそのまま使用する。そして、値の小さいほうのZデータを書き込む。

【0028】図5は、倍速比較モードの場合のZバッファ部14の構成を表している。通常速比較モードに対し倍速比較モードでは、Zバッファ部14へのアクセスはフレームバッファ12へのアクセスに同じ速度で行う必要がある。本隠面消去装置13aでは、Zdデータのビット幅を半分にし、1回のアクセスで2ピクセル分を処理することで上記要求を実現している。このため、図に示すように、隣り合う2ピクセル分のZdデータを1単位としてZバッファ部14の同一アドレスに格納する。

【0029】図6は、倍速比較モード時の動作概要を表している。本隠面消去装置13aは2ピクセルのZdデータ30をZdアドレス31によってアドレスを指定することによってZバッファ部14から同時に読み出し、Z演算回路部16内でZdデータ30及びZsデータ26を上位下位の2つに分割する。そして、上位と下位について、比較部41によって各々同時に比較処理を行う。その後、各々の比較結果を利用しZバッファ部14にZデータを書き込む。倍速比較モードの場合、Zバッファ部14のメモリ1要素の上位と下位で各々1つのZdデータを表すので、図のようにZ上位書き込み許可信号36は倍速比較結果上位34をそのまま使用し、Z下位書き込み許可信号37は倍速比較結果下位35をそのまま使用する。

【0030】次に、書き込み許可信号25の生成について説明する。通常速比較モード時は通常速比較結果をそのまま書き込み許可信号25として出力する。倍速比較モード時は、1回に2ピクセル分ずつ比較結果が生成される。ところが、書き込み許可信号25はフレームバッファ12への書き込みに合わせて1ピクセル分ずつ出力す

ることが望ましい。このため、書き込み許可信号制御信号回路部17において、倍速比較結果上位34及び倍速比較結果下位35を交換し、書き込み許可信号38を生成する。入出力部15は、この書き込み許可信号38に基づいて書き込み許可信号25を生成する。

【0031】図7は、倍速比較モード時の比較結果と書き込み許可信号25の関係を表したタイムチャートである。前述のとおり、本態面消去装置13aはZバッファ部14に対する1回の読み出しと書き込みの間に2ピクセル分の比較結果を生成する。図においてRE0とRE1が同時に生成された比較結果を表している。1回に1ピクセル分ずつ書き込み許可信号25を生成するにはRE0をそのまま出力しRE1については、1アクセス時間分遅らせて出力する必要がある。このため倍速比較モード時の書き込み許可信号生成回路部17の動作は以下のようなになる。

- ・偶数番目のピクセルの比較結果はそのまま書き込み許可信号25として出力する。

- ・奇数番目のピクセルの比較結果は1アクセス時間分遅らせて書き込み許可信号25として出力する。

【0032】以下、本発明のZバッファ方式隠面消去装置の動作について詳細に説明する。まず、通常速比較モード時の動作について説明する。通常速比較モード時の動作は、基本的に従来の隠面消去装置13bの動作(図10参照)と同じであるが、以下の点が異なる。

【0033】Z演算回路部16は、図11に示したステップS35の条件に比較の結果が合致した場合、通常速比較結果33として1を、また合致しない場合は0を出力する。書き込み許可信号生成回路部17は通常速比較結果33をZ上位書き込み許可信号36、Z下位書き込み許可信号37、書き込み許可信号38として出力する。

【0034】図8は、Zバッファ方式隠面消去装置の倍速比較モード時のフローチャートである。はじめにZ演算回路部16は、新しいデータを持っているとする。入出力部15は、外部からZデータの入力があると(ステップS11)、Z演算回路部16に、Z演算回路部制御信号28によってZデータ21、Zアドレス22が到着したことを知らせる。Z演算回路部16は、Zsデータ26、Zsアドレス27を受け取る(ステップS12)。

【0035】Z演算回路部16は、Zバッファ部14に対し、Zアドレス31を与えZバッファ部制御信号32によってZバッファ部14に出力要求を行う。Zバッファ部14はZバッファ部制御信号32に従い、Zアドレス31の位置に保存されているZdデータ30を出力する(ステップS13)。

【0036】Z演算回路部16は、Zバッファ部14から入力されたZdデータ30と入出力部15から入力されたZsデータ26とを上位、下位に分割する。その

後、上位は上位同士(ZdH-ZsH)、下位は下位同士(ZdL-ZsL)で同時に比較演算を行う(ステップS14)。入出力部15から入力されたZ演算回路部制御信号28によって決定される条件「ZdH-ZsHの方が小さい」に上位同士の比較結果が合致した場合(ステップS15)、倍速比較結果上位34として1を出力する(ステップS16)。また、合致しない場合は、0を出力する(ステップS17)。

【0037】入出力部15から入力されたZ演算回路部制御信号28によって決定される条件「ZdL-ZsLの方が小さい」に下位同士の比較の結果が合致した場合(ステップS18)、倍速比較結果下位35として1を書き込み許可信号生成回路部17に出力する(ステップS19)。また、合致しない場合は0を出力する(ステップS20)。

【0038】書き込み許可信号生成回路部17は、倍速比較結果上位34と倍速比較結果下位35を前述の方法によって変換し、書き込み許可信号38として入出力部15に出力する。また倍速比較結果上位34をZ上位書き込み許可信号36として出力する。また倍速比較結果下位35をZ下位書き込み許可信号37として出力する。Z演算回路部16はZバッファ部14に対してZsデータ26とZdアドレス30を出力し、Zバッファ部制御信号32によって書き込み要求を行う。Zバッファ部14は要求にしたがって、Zdアドレスに対応する位置にZデータを保存する(ステップS21)。この際Z上位書き込み許可信号36が1の場合、Zsデータ26の上位が保存され、0の場合保存されない。またZ下位書き込み許可信号37が1の場合、Zsデータ26の下位が保存され、0の場合は保存されない。次に、新しいデータ待ちに入る。以上の動作を繰り返す。

【0039】以下、例外的な動作について説明する。入出力部15は、外部から比較モード23及び比較条件24をセットする要求があると、それを保存する。また同時にZ演算回路部制御信号28及び書き込み許可信号生成回路部制御信号29を上記比較モード23に従って設定する。入出力部15は、外部から比較モード23及び比較条件24の出力要求があると、それを出力する。

【0040】

【発明の効果】従って、この発明によれば、上述した手段を有することにより、速度優先描画時は、並列処理の倍速比較モードを用い、画質優先描画時は通常速比較モードを用いることによって、フレームバッファと同じサイズのZバッファ部で高画質を要求される描画の両方を少ないZバッファ部メモリで実現することができる。また、データ幅を半分にして、Zバッファ部に保存すれば、アドレスに対して、一度に二つのデータが得られ、それを並列処理すれば、処理速度は2倍となる。さらに、前記Zバッファ部は、各アドレスの保存データを上位と下位に分け、書き込みの可・不可の制御を別々に

行うので、それぞれの1アドレス内のデータをそれぞれ書き換えることができ、倍速でも通常速でも隠面消去処理が可能となる。

【図面の簡単な説明】

【図1】本発明に係るZバッファ方式隠面消去装置の一実施形態を示すブロック図である。

【図2】Z演算回路部を示すブロック図である。

【図3】通常速比較モードの場合のZバッファ部の説明図である。

【図4】通常速比較モードのZバッファ部の動作概要の説明図である。

【図5】倍速比較モードの場合のZバッファ部の説明図である。

【図6】倍速比較モード時のZバッファ部の動作概要の説明図である。

【図7】倍速比較モード時の比較結果と書き込み許可信号の関係を表したタイムチャートである。

【図8】Zバッファ方式隠面消去装置の倍速比較モード時のフローチャートである。

【図9】Zバッファ方式の隠面処理を行う従来のグラフィック表示装置のブロック図である。

\*【図10】従来のZバッファ方式隠面消去装置のブロック図である。

【図11】従来のZバッファ方式隠面消去装置の動作を示すフローチャートである。

【図12】理想的な隠面消去のプロセスを示す説明図である。

【図13】隠面消去動作がない通常の書き込み動作を示す説明図である。

【図14】従来のZバッファ方式による隠面消去のプロセスを示す説明図である。

【図15】画質最優先の描画のフレームバッファ及びZバッファ部のアクセスを表すタイムチャートである。

【図16】速度優先の描画時のフレームバッファ及びZバッファ部へのアクセスを表すタイムチャートである。

【符号の説明】

13 Zバッファ方式隠面消去装置

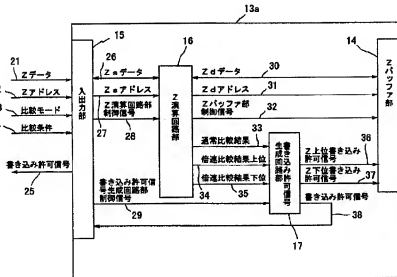
14 Zバッファ

15 入出力部

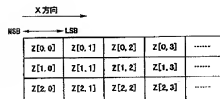
16 Z演算回路部

17 書き込み許可信号生成回路部

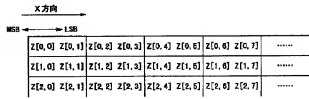
【図1】



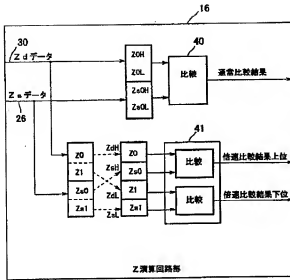
【図3】



【図5】

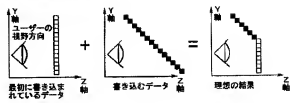


【図2】

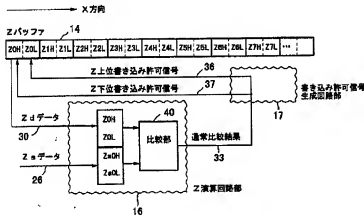


【図12】

理想の階面消去装置の動作



【図4】



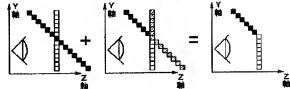
【図13】

階面消去装置が動作せず通常の書き込みを行った際の動作



【図14】

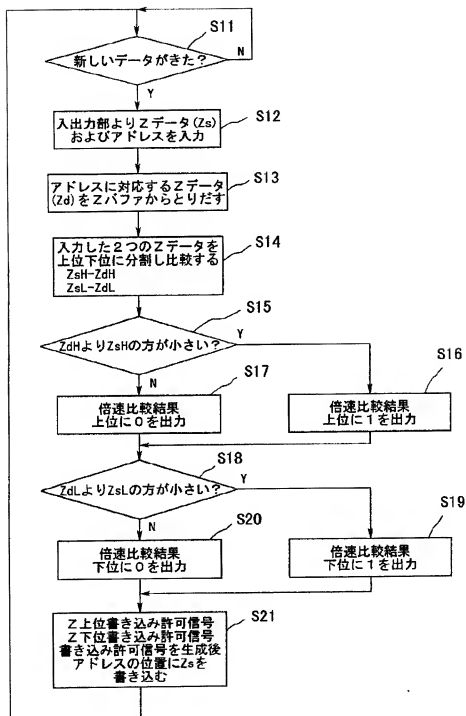
従来のZバッファ法による階面消去装置の動作



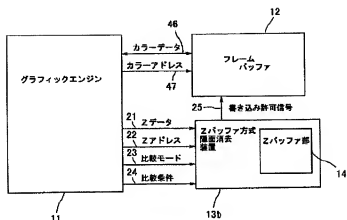




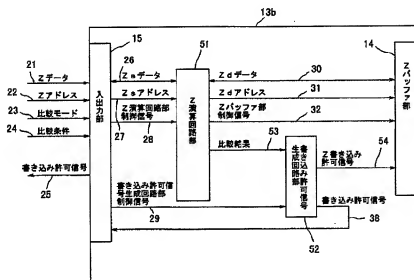
【図8】



【図9】

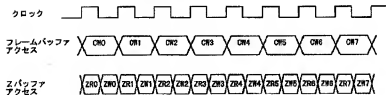


【図10】



【図16】

速度優先時のアクセス



CR:n番目のピクセルのカラーデータの読み出し  
 ZR:n番目のピクセルのZデータの読み出し  
 CR:n番目のピクセルのカラーデータの書き込み  
 ZR:n番目のピクセルのZデータの書き込み

【図11】

